



Circuite integrate digitale

Curs 5

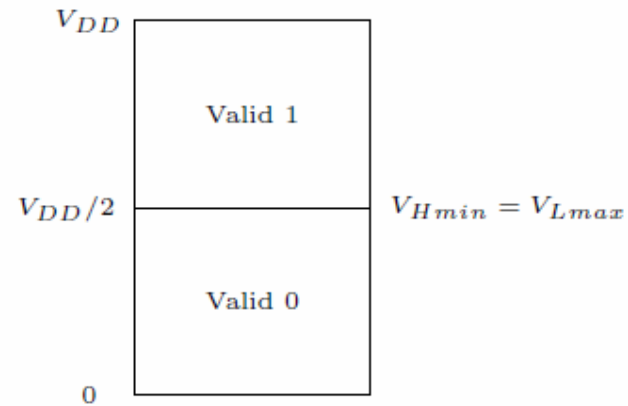
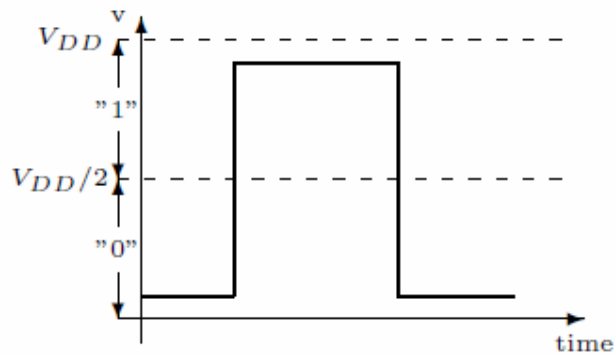


Curs 5

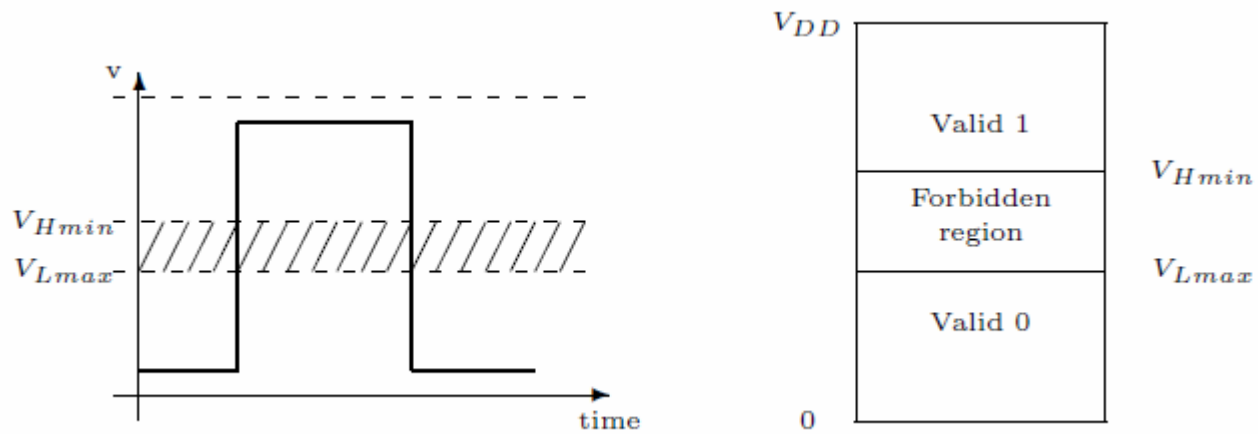
- valori logice și semnale digitale
- circuite digitale CMOS
- inversorul CMOS
- porți logice elementare
- porți tristate

Valori logice în circuitele digitale

- V_{DD} de la 5 la 1 V
- $V_{Hmin} > V_{Lmax}$



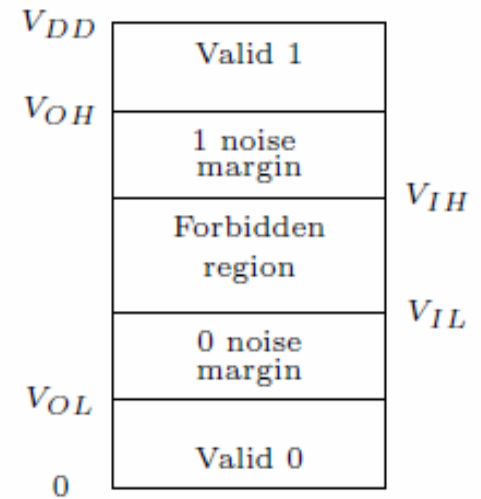
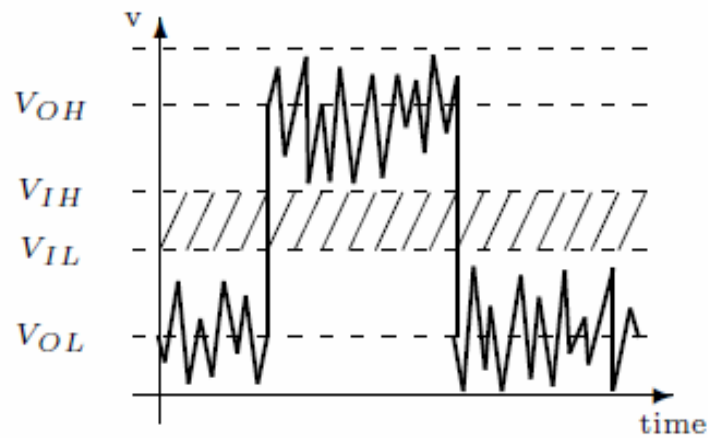
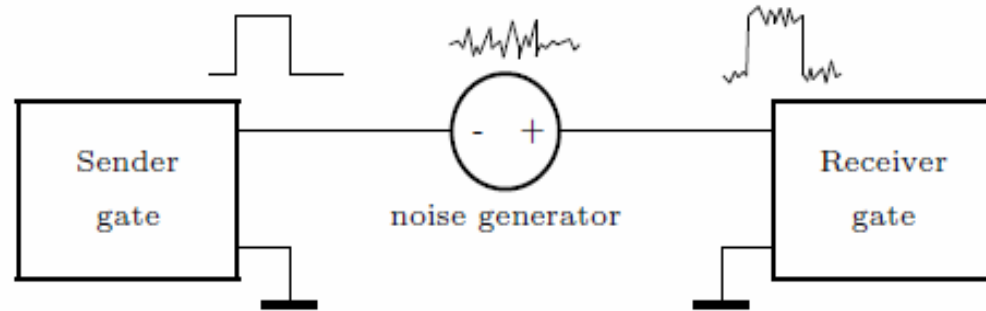
Regiunea interzisă



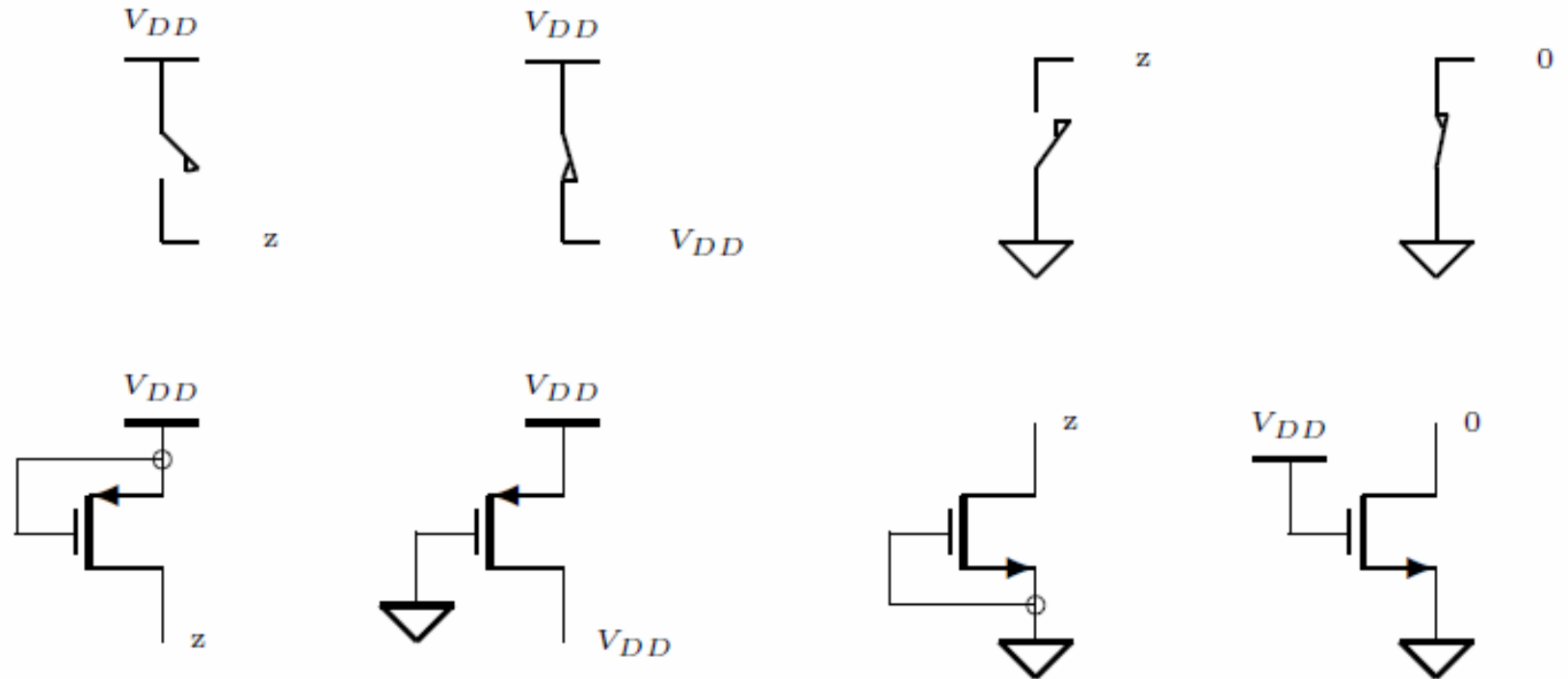
Marginea de zgomot

$$N_{M0} = V_{IL} - V_{OL}$$

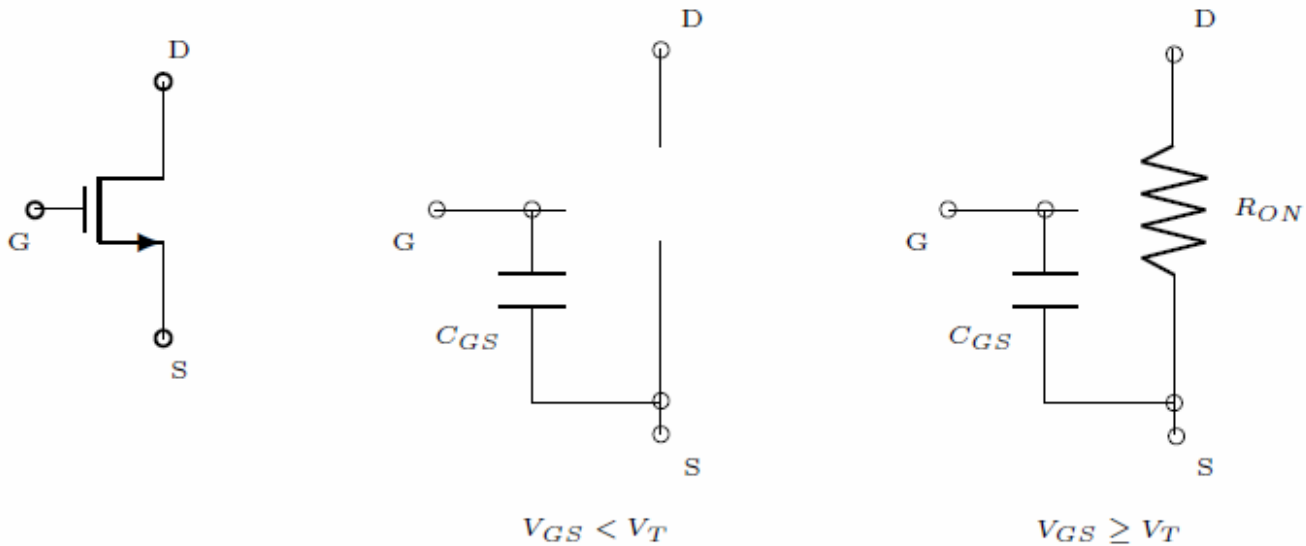
$$N_{M1} = V_{OH} - V_{IH}$$



Comutatoare MOS



Comutarea tranzistorului MOS

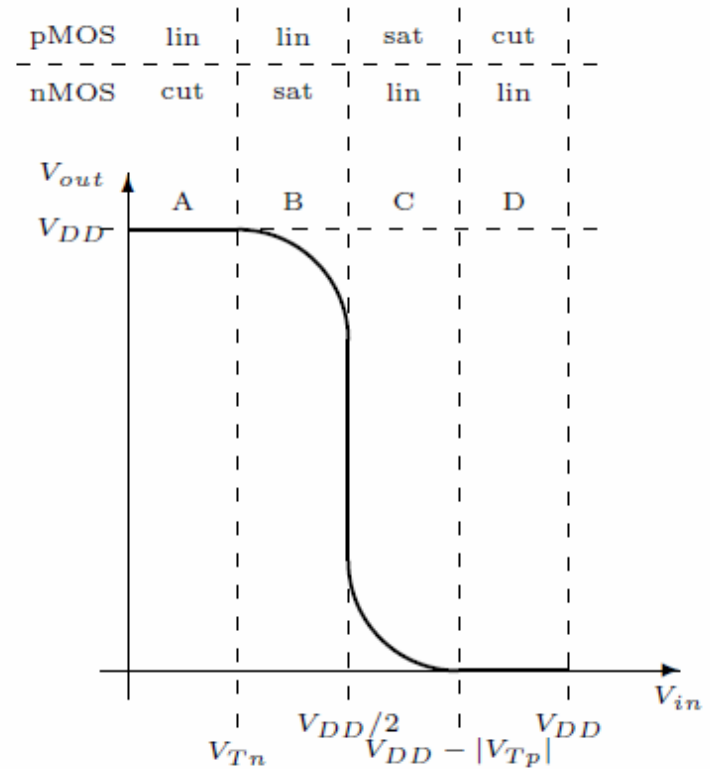
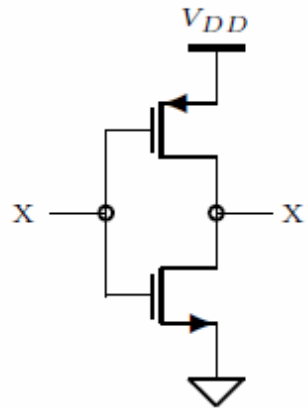


- $C_{GS} = C_{OX}LW$
- $R_{ON} = 1/(\mu_n C_{OX} (W/L)(V_{GS} - V_T))$

Inversorul CMOS

Comportament în regim static

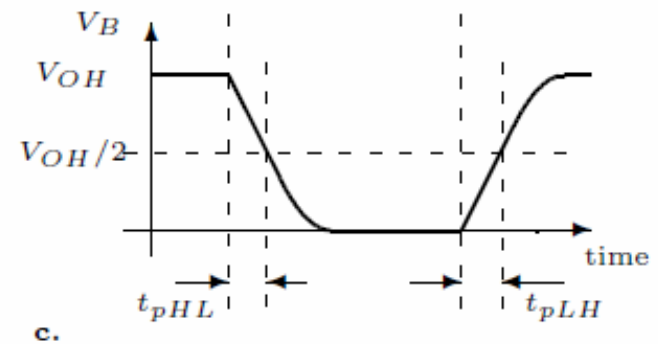
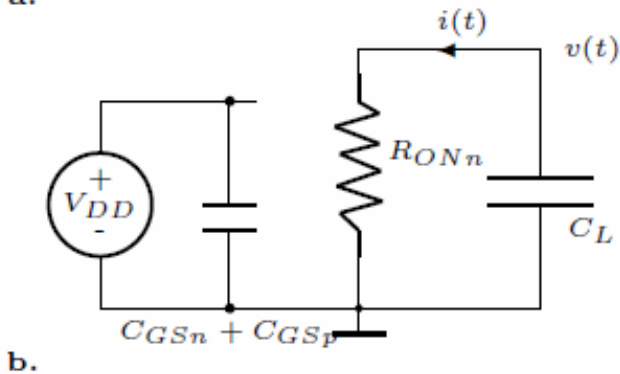
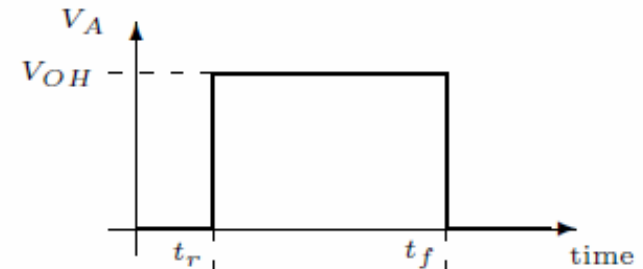
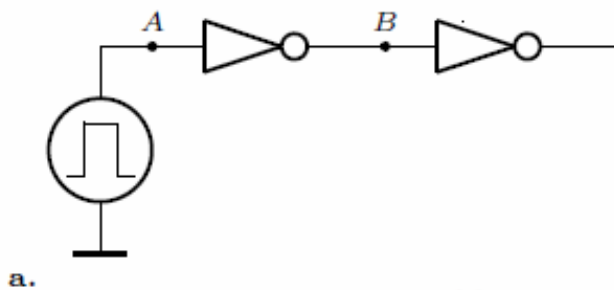
- zona A: $X = 0$
- zonele B & C: tranziții
- zona D: $X = 1$



Ce semnifică 0 și 1 logic?

Comportament în regim dinamic

- t_{pHL} : de la V_{OH} la $V_{OH}/2$
- t_{pLH} : de la 0 la $V_{OH}/2$





Sarcina capacitivă C_L

Componente:

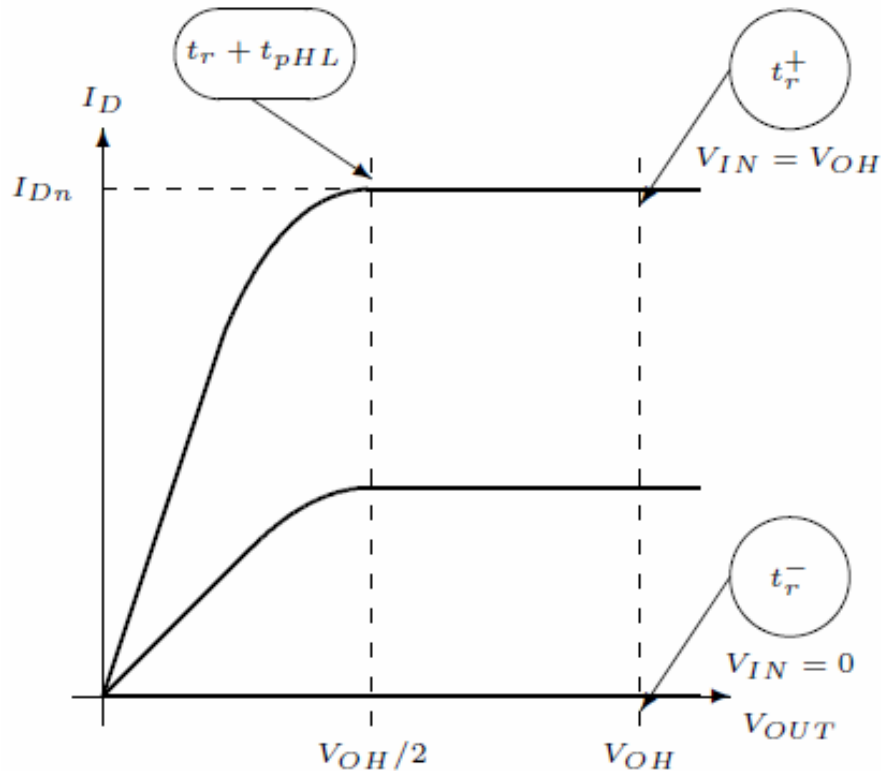
- capacitatea intrinsecă a primului inversor (driver): capacitatea parazită drenă/substrat, C_{DB}
- capacitatea firelor: $C_{wire} = C_{thickox} L_{wire} W_{wire}$
- capacitatea de intrare a celui de-al doilea inversor (receiver):

$$C_G = C_{Gp} + C_{Gn} = C_{ox}(W_p L_p + W_n L_n)$$

$$C_L = C_{DB} + C_{wire} + C_G$$

Pentru conexiuni lungi predomină C_{wire}

t_{pHL} : descărcarea capacității de sarcină la curent constant $I_{DS(sat)}$



- t_r^- : pMOS deschis (lin.), nMOS blocat
- t_r^+ : pMOS blocat, nMOS deschis (sat.)
- t_r^+ la $(t_r^- + t_{pHL})$: C_L se descarcă la curent constant $I_{Dn(sat)}$

$$I_{Dn(sat)} = (\mu_n C_{ox} (W_n/L_n) (V_{OH} - V_{Tn})^2) / 2$$

$$dv_{out}/dt =$$

$$-I_{Dn(sat)} / C_L = (V_{OH}/2 - V_{OH}) / t_{pHL}$$

$$t_{pHL} = C_L R_{ONn} (1 / (1 - (V_{Tn} / V_{OH})))$$

$$t_{pHL} = k_n C_L R_{ONn}$$

$$t_p = (t_{pHL} + t_{pLH}) / 2$$



Consumul de putere

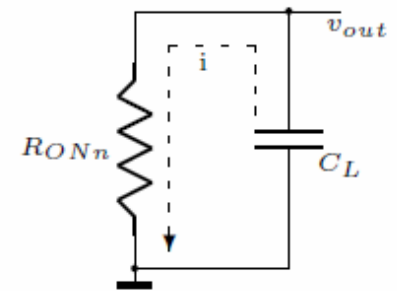
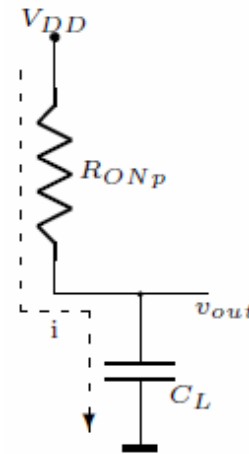
- Energia necesară pentru comutare: încărcarea și descărcarea lui C_L
- Consumul în timpul fronturilor crescătoare și descrescătoare ale semnalelor (scurt circuit)
- Pierderile de curent: când tranzistoarele sunt blocate (curentul de *leakage*), curentul de poartă...

Consumul în regim de comutare

- În fiecare perioadă T , fiecare capacitor
 - se încarcă la V_{DD} prin R_{ONp} cu $Q_L = C_L V_{DD}$
 - se descarcă la valoarea 0 prin R_{ONn}

- $(E = V_{DD} Q_L)$

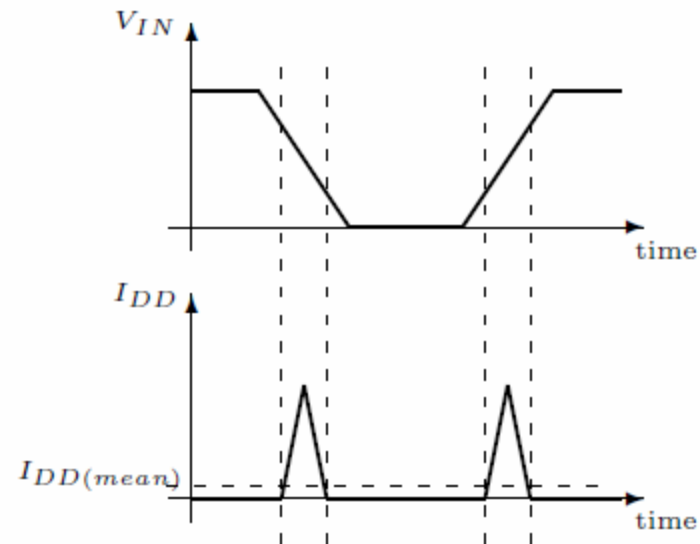
$$P_{switch} = (V_{DD} C_L V_{DD})/T = C_L V_{DD}^2 f_{clock}$$



Consum în scurt circuit (fronturi)

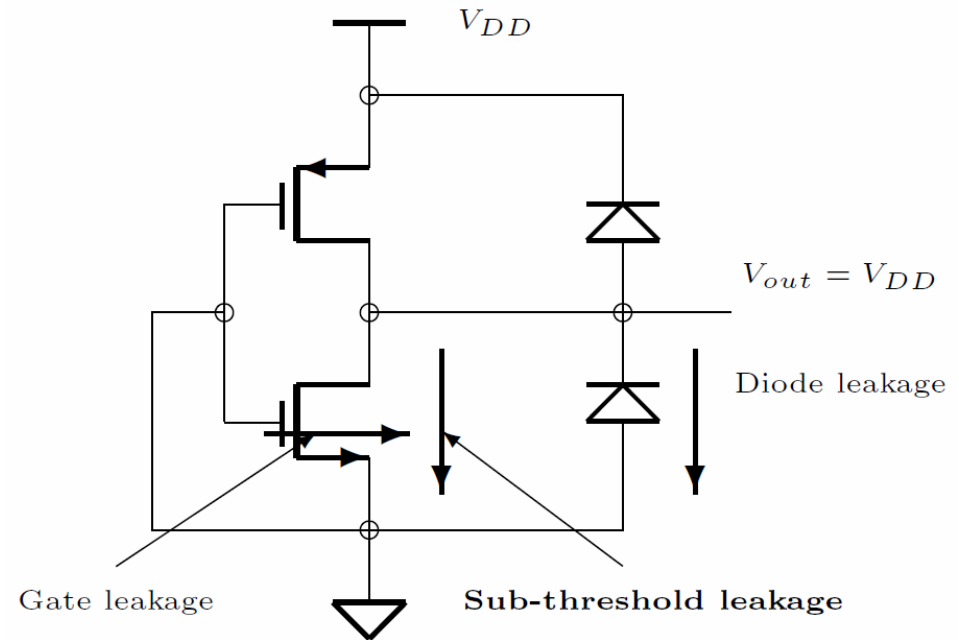
Depinde de curentul la saturație

$$P_{sc} = I_{DD(\text{mean})} V_{DD}$$



Pierderile de curent

- importante pt. $L < 65nm$
- cresc exponențial cu temperatura
- cresc exponențial prin reducerea lui V_T
- componenta principală: curentul drenă

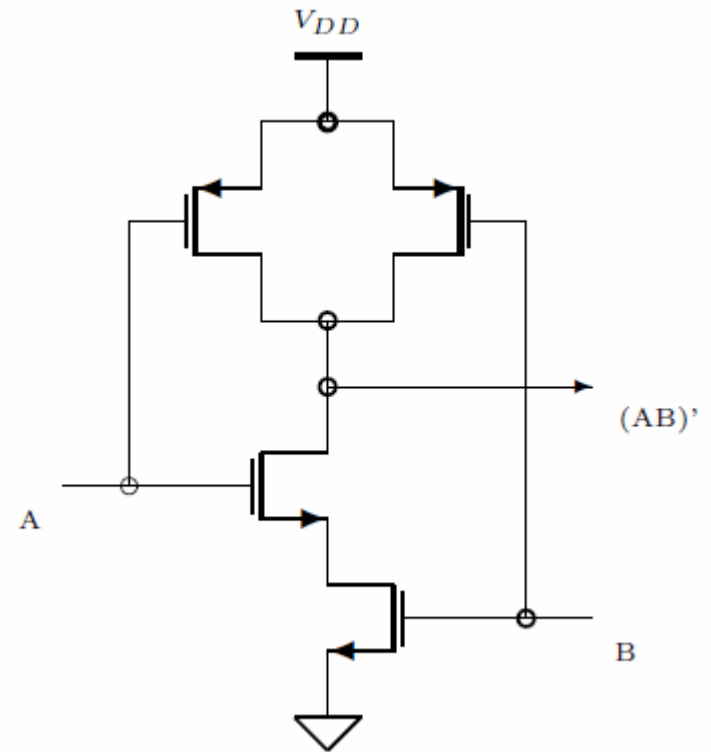


Poarta NAND

- dacă $A=B=1$, ieșirea este 0
- dacă oricare dintre intrări este 0, ieșirea este 1

Pentru $\mu_n \cong 1.7\mu_p$, și $W_n = W_p$

- care este cea mai rapidă tranziție?
- dar cea mai lentă?

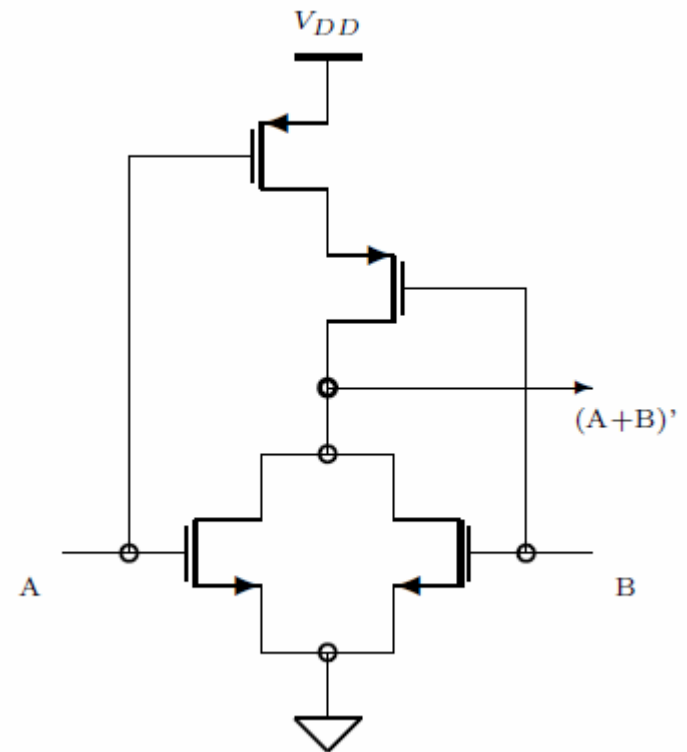


Poarta NOR

- dacă $A=B=0$, ieșirea este 1
- dacă oricare dintre intrări este 1, ieșirea este 0

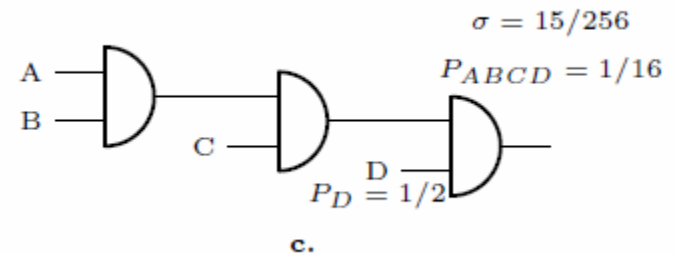
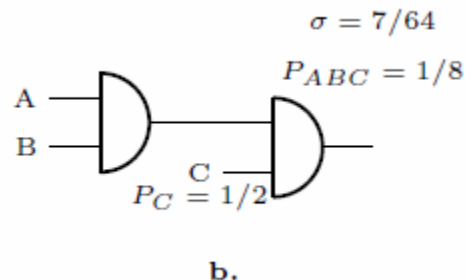
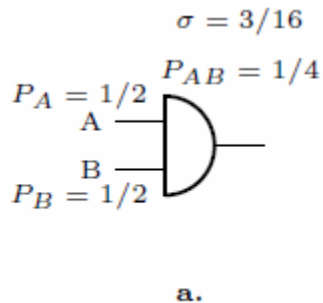
Pentru $\mu_n \cong 1.7\mu_p$, și $W_n = W_p$

- care este cea mai rapidă tranziție?
- dar cea mai lentă?
- Care poartă e mai avantajoasă?

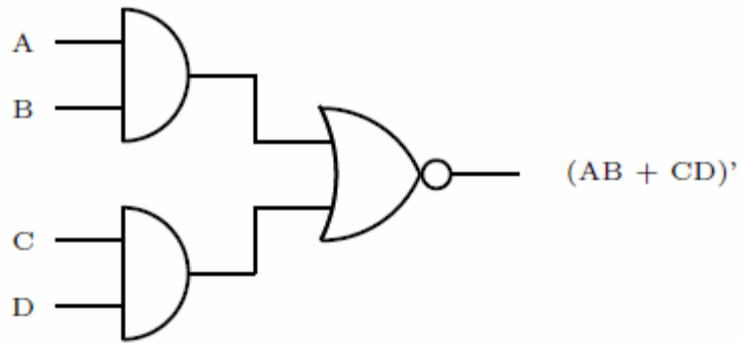


Activitatea de comutare, σ

- σ : probabilitatea comutării din 0 to 1, depinde de funcția logică
- consumul depinde de σ : $p_{switch} = \sigma C_L V_{DD}^2 f_{clock}$
- valoare acoperitoare estimată pentru sisteme de mari dimensiuni: $\sigma = 1/8$.
- Exemplu: pentru AND cu două intrări



Porți AND-NOR (AOI)

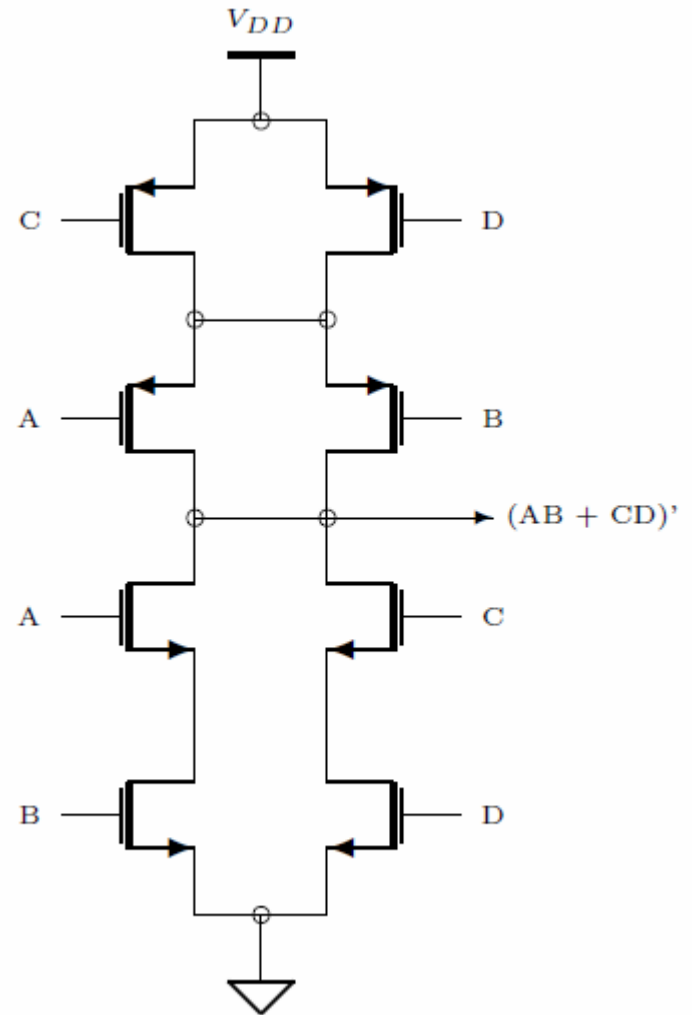


Logic: depth = 3, size = 7

Electric: depth = 1, size = 4

Funcții similare:

$(A + BC)'$, $(A(B+C))'$, ...



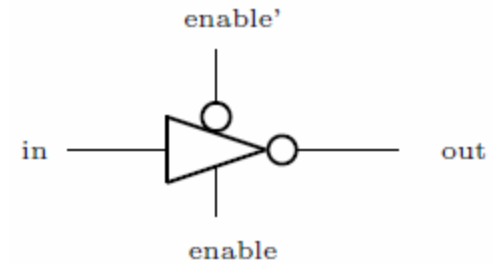


Porți logice elementare CMOS

- Număr egal de tranzistoare p și n
- Circuitele pMOS și nMOS sunt separate
- Intrările sunt conectate similar la circuitele pMOS și nMOS
- Ieșirea este la mijloc
- Circuitele pMOS și nMOS sunt **duale**

Buffere tristate

- $\text{enable} = 0$, $\text{out} = \text{hi-z}$
- $\text{enable} = 1$, $\text{out} = \text{in}'$



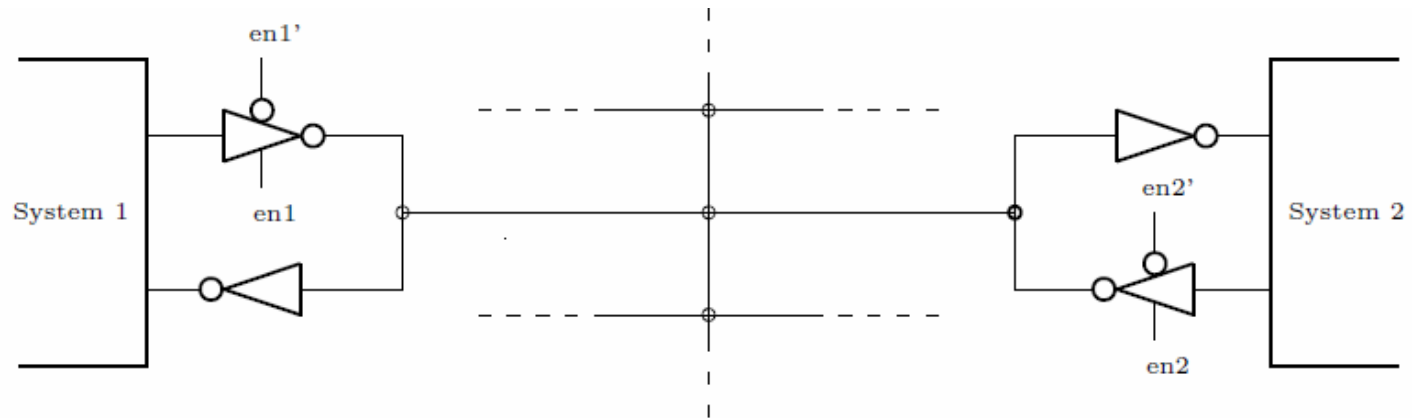
Interconectarea a două sisteme cu buffere tristate

$en1=1, en2=0$: System 1 emite, System 2 recepționează

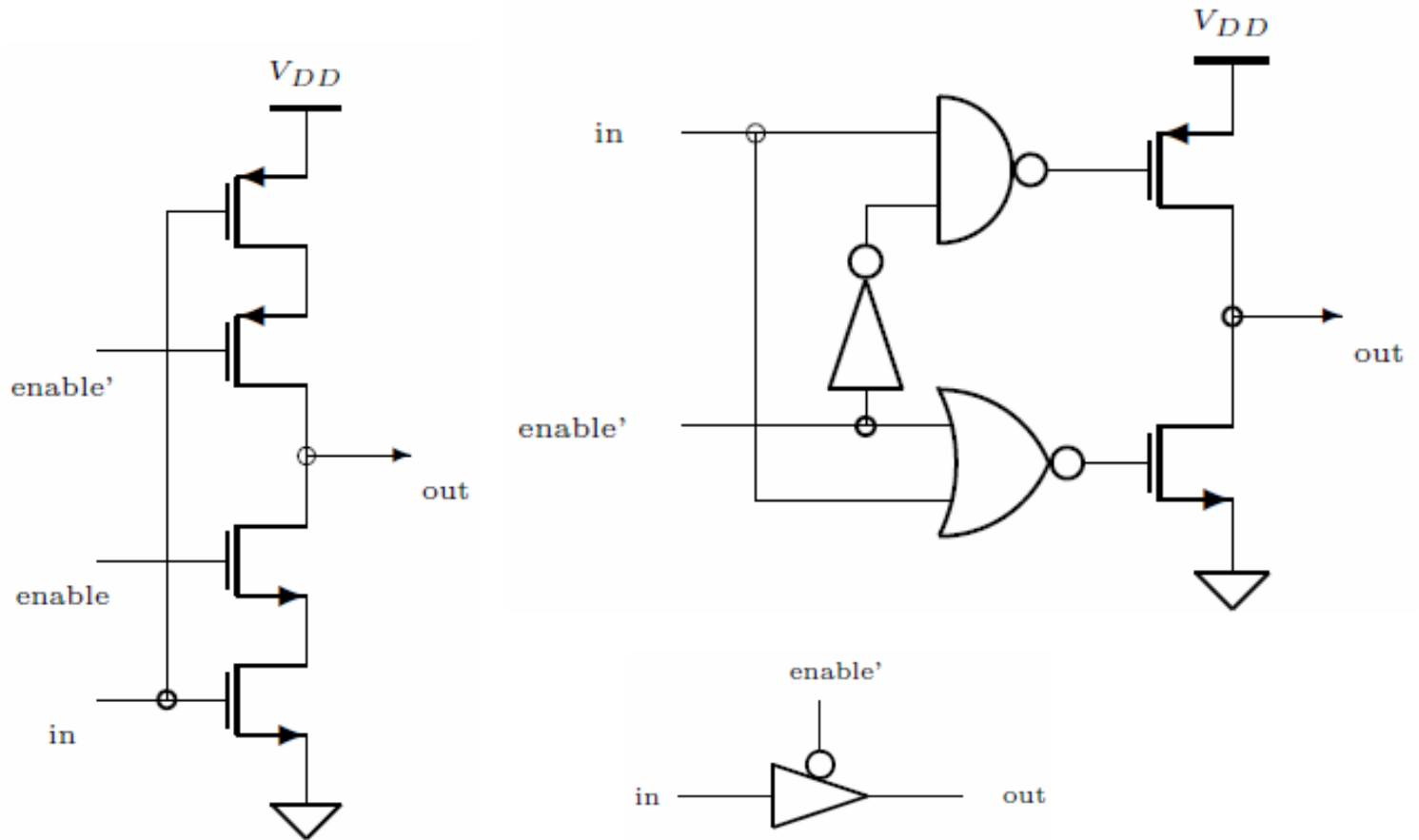
$en1=0, en2=1$: System 2 emite, System 1 recepționează

$en1=0, en2=0$: ambele recepționează

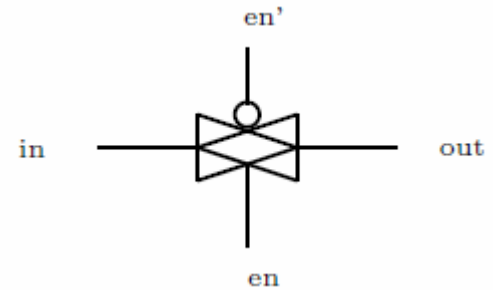
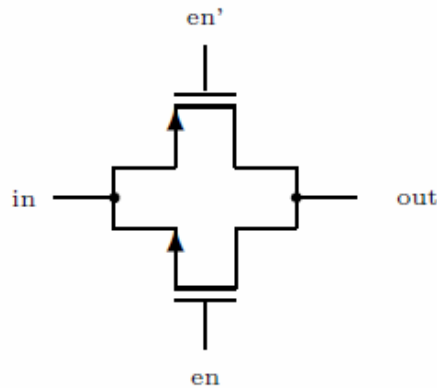
$en1=1, en2=1$: INTERZIS



Buffere tristate inversoare și neinversoare



Poarta de transmisie



$en = 1 \Rightarrow out = in$

$en = 0 \Rightarrow out = hi-z$

Limitare: R_{ON} conectat serie cu C_L

Principalul avantaj: lipsa conexiunilor la V_{DD} și masă



Tema 6

- Desenați o poartă CMOS care calculează funcția XOR de două variabile în următoarele variante:
 - folosind porți logice AOI
 - folosind logică tristate
- Puteți imagina și alte variante?



Aplicații

- poarta NAND3 și NOR3
- analiza unei scheme CMOS
- diferite funcții logice
- inversorul tristate