

CIRCUITE INTEGRATE DIGITALE

Călin Bîră

ETTI-A422 / calin.bira@upb.ro

calin.bira@mta.ro

Activități

Curs (2h/săptămână)

- Concepte generale despre circuite integrate digitale
- Tehnici de proiectare, analiză și optimizare
- Max. 1h5/sapt teorie, min. 0h5/sapt aplicații

Aplicatii (2h/săptămână)

- Descrierea circuitelor digitale în VHDL/Verilog
- Simularea circuitelor digitale descrise
- Implementarea circuitelor digitale pe suport FPGA

Notare

Curs: 50p, examen scris

Aplicatii: 50p (40% parcurs, 60% colocviu)

Conditii promovare:

- min 50% din aplicatii
- min 50% din totalul de 100p

Cunoștințe necesare (prerequisites)

Sintaxa de baza C, pentru aplicatii

Logică elementară

Dispozitive electronice (tranzistorul MOS)

Bibliografie

- R. Dueck, *Digital Design With CPLD Applications and VHDL* , Delmar Thomson Learning 2005, format electronic
- I. Aciobăniței, M. Medvei, L. Mărgărit, *Circuite integrate numerice* – Lucrări de laborator, ATM – 2020, format electronic
- Digital Design: With an Introduction to the Verilog HDL, VHDL, and SystemVerilog 6th Edition, by M. Morris Mano, Michael Ciletti, ISBN: 978-0134549897
- Loops and Complexity in Digital Systems, G. Ștefan

Contact

Material de curs, info notare pe Moodle

Telefon, e-mail, birou pe dcae.pub.ro/ro/membri/

Notele actualizate în Moodle pe parcursul semestrului

Materie de curs(2 sapt / 4 ore):

1.Principiile funcționale de bază ale sistemelor digitale

Marimi analogice și marimi numerice.

Forme de unda.

Parametrii funcționali ai formelor de unda pentru marimi numerice.

Functii logice si porti logice elementare.

Baze de numeratie.

Functii boolene: tabele de adevăr, forme canonice și reprezentări cu porți logice.

Teoremele algebrei boolene.

~~Metode de minimizare.~~

2.Circuite logice combinaționale

Circuite decodificatoare, codificatoare de priorități, multiplexoare, demultiplexoare și comparatoare de magnitudine. Modele cu porți logice și modele VHDL/Verilog.

3.Aritmetică binară

Coduri de reprezentare pentru numere naturale si pentru numere intregi. Operații aritmetice cu numere intregi. Unități aritmetice și logice.

4.Circuite logice secvențiale de tip basculante bistabile

Circuite basculante bistabile RS active pe nivel și pe front.

Circuite basculante bistabile D, JK și T.

Modele cu porți logice și modele VHDL/Verilog.

5. Circuite logice secvențiale de tip registre și numărătoare

Numărătoare sincrone și numărătoare cu semnale de control asincrone.

Registre cu încărcare paralelă și registre de deplasare.

Modele cu porți logice și modele VHDL/Verilog.

6. Automate secvențiale cu stări finite

Metode de sinteză a automatelor secvențiale (diagrama de tranziții, sinteza funcțiilor de tranziții de stare și sinteza funcțiilor de ieșire). Modele comportamentale VHDL/Verilog.

7. Microprocesoare și microcontrollere

Arhitectură internă. Regiștri generali, magistrale interne, mecanisme de adresare, registru de instrucțiuni, unitate aritmetică și logică. Set de instrucțiuni și fazele de execuție ale unei instrucțiuni .

Materie de laborator

L1 și L2. Porți logice elementare

L3. Circuitul decodificator

L4. Circuitul decodificator BCD – 7 segmente

L5. Circuitele codificator de priorități

L6. Circuitul multiplexor

L7. Circuitul comparator de magnitudine

L8. Circuitul semisumator și sumatorul complet

L9. Circuitul latch RS, latch D, bistabil D

L10. Circuitul basculant bistabil JK și bistabil T

L11. Circuitul numărător binar pe N biți

L12. Circuitul numărator binar și BCD cu controlul intrarilor

L13. Circuitul registru de deplasare pe N biți

L14. Automate finite (FSM)

L15. Sistem cu microprocesor, automat secvențial pentru comanda unei tastaturi (4 x 4) și a unui registru de afisare cu celule multiplexate.

Sisteme Digitale

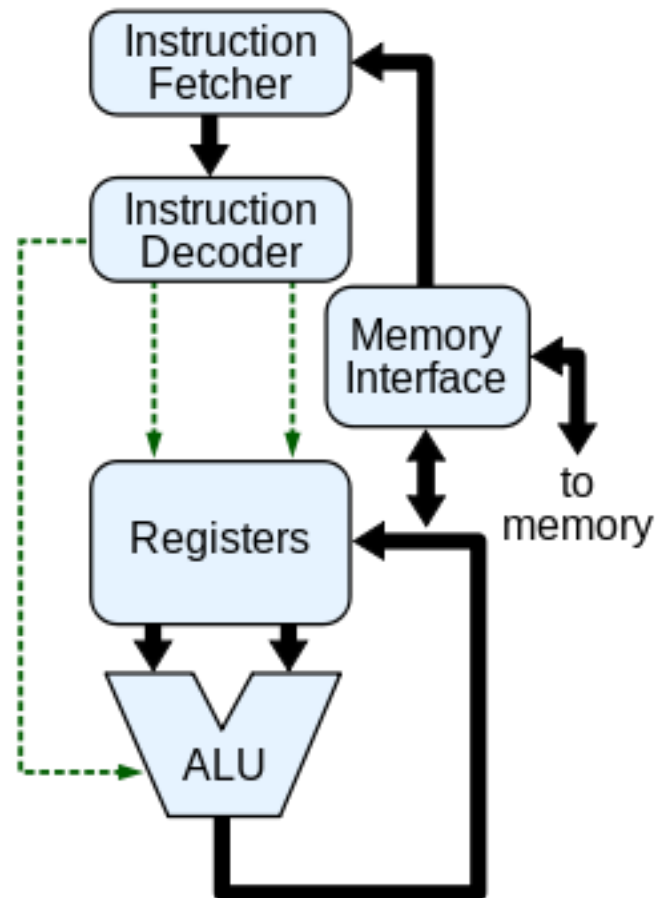
Parcurg toata gama de complexitate de la porți logice la procesoare

Doua cerințe fundamentale pentru orice sistem util

- Procesarea informației (e.g. calculul unei sume)
- Transferul informației între componentele sistemului

Sisteme Digitale

Scopul nostru: Procesor simplu RISC



Sisteme Digitale

De ce digitale?

- Lucrăm cu digits: reprezentare discretizată a informației
 - e.g. alfabetul, sistemul zecimal, etc.
 - Dezavantaj: necesită conversie – ADC/DAC – și cuantizare – proces “lossy”

Sisteme Digitale

De ce digitale?

- Lucrăm cu digits: reprezentare discretizată a informației
 - e.g. alfabetul, sistemul zecimal, etc.
 - Dezavantaj: necesită conversie - ADC/DAC – și cuantizare – proces “lossy”
- Forma cea mai simplă: reprezentarea binară (0/1)
 - Interpretare facilă ca adevărat/fals, tranziție către domeniul informațional (și logica booleană)
 - Dar și forma cea mai puțin compactă de reprezentare

Sisteme Digitale

- Reprezentarea electrică a simbolurilor digitale:
 - Ca valori discrete de tensiune între 0 și VCC
 - În orice circuit există zgomot ce poate produce interpretarea greșită a unui simbol
 - Pentru orice bază de numerație, rezistența la zgomot e maximă atunci când simbolurile sunt egal distanțate în gama de tensiune
 - Distanța cea mai mare pentru baza 2, deci și rezistența cea mai mare la zgomot
 - În baza 2, procesarea informației se face prin operațiile algebrei Boolene

Sisteme Digitale

Numere binare

- Forma generală: $a_{n-1}a_{n-2}\dots a_3a_2a_1a_0$
- Valoarea zecimală exprimată de ecuația:
- Diferite moduri de reprezentare:
 - Zecimală
 - Hexazecimală
 - ASCII, etc.

Sisteme Digitale

Numere binare

– Exerciții:

- Converteți în zecimal numerele binare

- 110

- 11011

- 10001110

Sisteme Digitale

Numere binare

– Exerciții:

- Converteți în binar numerele zecimale

- 47

- 75

- 256

Sisteme Digitale

Numere binare

– Exerciții:

- De câți biți e nevoie pentru a reprezenta numărul zecimal

– 31

– 89

– 100

Algebra Booleană

- Definiște operații matematice pe valori binare
- Definiție axiomatică:
 1. Se definesc operatorii $+$ (SAU logic) și \cdot (ȘI logic) care au proprietatea de închidere în spațiul numerelor binare

Algebra Booleană

- Definiție axiomatică:

1. Se definesc operatorii $+$ (SAU logic) și \cdot (ȘI logic) care au proprietatea de închidere în spațiul numerelor binare
2. Numărul 0 este elementul neutru al operatorului SAU, iar numărul 1 este elementul neutru al ȘI

Algebra Booleană

- Definiție axiomatică:

1. Se definesc operatorii $+$ (SAU logic) și \cdot (ȘI logic) care au proprietatea de închidere în spațiul numerelor binare
2. Numărul 0 este elementul neutru al operatorului SAU, iar numărul 1 este elementul neutru al ȘI
3. Operatorii ȘI, SAU sunt comutativi

Algebra Booleană

•Definiție axiomatică (continuare):

4. Operatorii ȘI, SAU sunt distributivi:

$$x(y+z) = xy + xz$$

$$x+(yz) = (x + y)(x + z)$$

Algebra Booleană

•Definiție axiomatică (continuare):

4. Operatorii ȘI, SAU sunt distributivi:

$$x(y+z) = xy + xz$$

$$x+(yz) = (x + y)(x + z)$$

5. Se definește complementul unui număr x , notat x' , astfel încât $xx' = 0$ și $x + x' = 1$

Algebra Booleană

•Definiție axiomatică (continuare):

4. Operatorii ȘI, SAU sunt distributivi:

$$x(y+z) = xy + xz$$

$$x+(yz) = (x + y)(x + z)$$

5. Se definește complementul unui număr x , notat x' , astfel încât $xx' = 0$ și $x + x' = 1$

6. Operatorii ȘI, SAU sunt asociativi:

$$x+(y+z) = (x + y) + z$$

$$x(yz) = (xy)z$$

Algebra Booleană (Teoreme)

•Teoreme (de demonstrat):

1. $x+x=x$, $xx = x$

Algebra Booleană (Teoreme)

•Teoreme (de demonstrat):

1. $x+x=x$, $xx = x$

2. $x+1=1$, $x0=0$

Algebra Booleană (Teoreme)

• Teoreme (de demonstrat):

1. $x+x=x$, $xx = x$

2. $x+1=1$, $x0=0$

3. $x+xy=x$, $x(x+y)=x$

Algebra Booleană (Teoreme)

•Teoreme (de demonstrat):

1. $x+x=x$, $xx = x$

2. $X+1=1$, $x0=0$

3. $x+xy=x$, $x(x+y)=x$

4. $(x+y)'=x'y'$, $(xy)'=x'+y'$ (DeMorgan)

Logica Binară

- Putem interpreta valorile binare de tensiune ca adevărat/fals
- Putem aplica operatorii fundamentali din algebra Booleană: **ȘI, SAU, NU**

A	B	A' (!A)	A+B (A B)	A*B (A&B)	A^B
0	0	1	0	0	0
0	1	1	1	0	1
1	0	0	1	0	1
1	1	0	1	1	0

Logica Binară

Exprimați $A \oplus B$ (SAU exclusiv) cu ajutorul operatorilor fundamentali

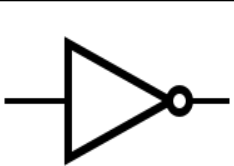
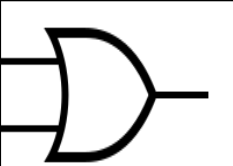
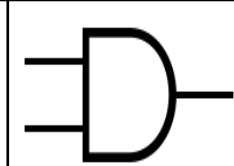


Logica Binară

Exprimați $A \oplus B$ (SAU exclusiv) cu ajutorul operatorilor fundamentali



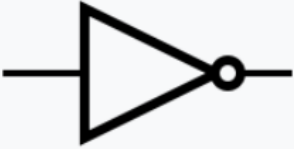




- Suma a doua numere de 1 bit

Logica Binară

- Exprimați $A \oplus B$ (SAU exclusiv) cu ajutorul operatorilor fundamentali
 - Suma a 2 numere de 1 bit
- Porți logice – circuite electronice care implementează operatori logici

NU	SAU	ȘI	XOR	SAU-NU	ȘI-NU
					

Porti logice (cu doua intrari) uzuale

Tip	Simbol	Tabel de adevăr	Tip	Simbol	Tabel de adevăr																																				
AND		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A AND B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A AND B	0	0	0	0	1	0	1	0	0	1	1	1	OR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A OR B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A OR B	0	0	0	0	1	1	1	0	1	1	1	1
INTRARE		IEȘIRE																																							
A	B	A AND B																																							
0	0	0																																							
0	1	0																																							
1	0	0																																							
1	1	1																																							
INTRARE		IEȘIRE																																							
A	B	A OR B																																							
0	0	0																																							
0	1	1																																							
1	0	1																																							
1	1	1																																							
NOT		<table border="1"> <thead> <tr> <th>INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>NOT A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	INTRARE	IEȘIRE	A	NOT A	0	1	1	0	NAND		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A NAND B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A NAND B	0	0	1	0	1	1	1	0	1	1	1	0										
INTRARE	IEȘIRE																																								
A	NOT A																																								
0	1																																								
1	0																																								
INTRARE		IEȘIRE																																							
A	B	A NAND B																																							
0	0	1																																							
0	1	1																																							
1	0	1																																							
1	1	0																																							
NOR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A NOR B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A NOR B	0	0	1	0	1	0	1	0	0	1	1	0	XOR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A XOR B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A XOR B	0	0	0	0	1	1	1	0	1	1	1	0
INTRARE		IEȘIRE																																							
A	B	A NOR B																																							
0	0	1																																							
0	1	0																																							
1	0	0																																							
1	1	0																																							
INTRARE		IEȘIRE																																							
A	B	A XOR B																																							
0	0	0																																							
0	1	1																																							
1	0	1																																							
1	1	0																																							
XNOR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A XNOR B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A XNOR B	0	0	1	0	1	0	1	0	0	1	1	1																					
INTRARE		IEȘIRE																																							
A	B	A XNOR B																																							
0	0	1																																							
0	1	0																																							
1	0	0																																							
1	1	1																																							