

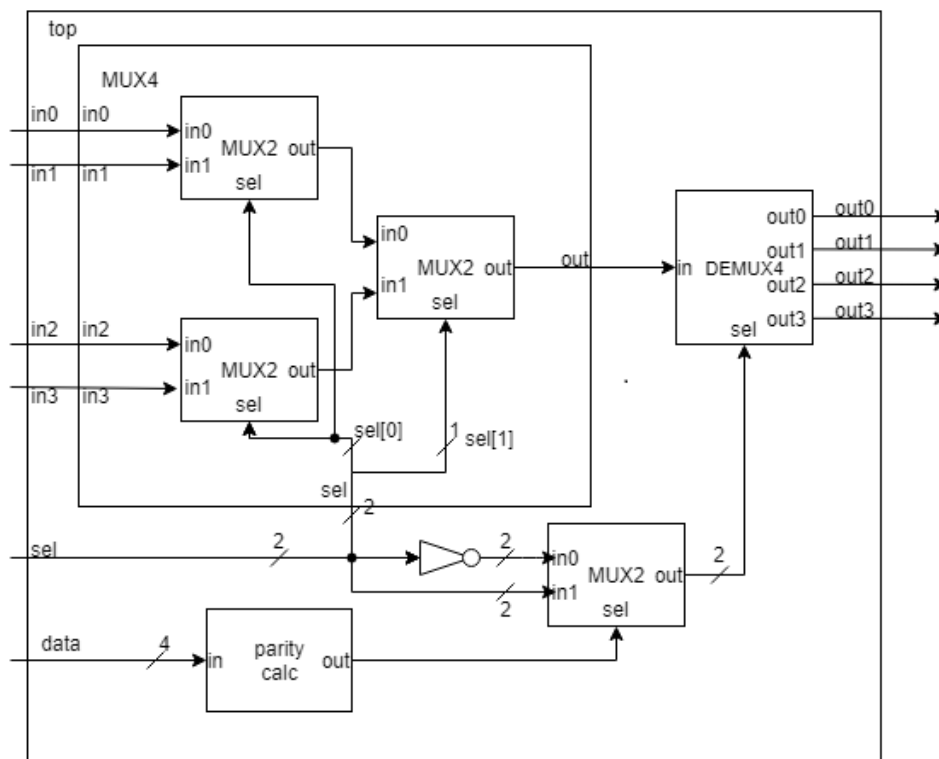
Subiect:

Timp de lucru: 1h.30

Cerinta:

Implementati schema de mai jos in verilog, efectuati simulari pentru verificarea functionalitati acesteia si sintetizati circuitul pe placa FPGA.

Schema bloc:



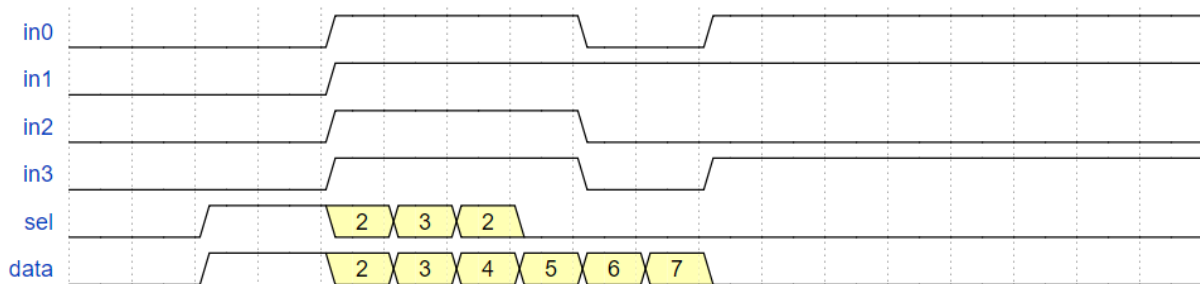
Descrierea schemei + cerinte speciale:

Circuitul alege daca trimite bitul ce vine pe fiecare intrare catre iesirea cu acelasi numar sau catre iesirea opusa intrarii. Aceasta selectie se face in functie de paritatea semnalului "data".

Parity checker - intoarce 0 daca numarul de la intrare este par, si 1 daca este impar.

Pentru simulare:

Formele de unda pentru intrare trebuie corespunda cu figura de mai jos:



Spatiul dintre liniile punctate (verticale) reprezinta 5 nano secunde.

Pentru programat placa:

in0 - button 0
in1 - button 1
in2 - button 2
in3 - button 3
sel - switch [1:0]
data - switch [5:2]

Barem:

Total - 20p

design - 13p

- top - 4p - interfata 1p + instantiere 2p + fire + conexiuni 1p
- mux4 - 3p - 1.5p instantiere, 1.5p conexiuni
- mux2 - 2p
- parity_calculator - 2p
- demux - 1p
- not_gate - 1p

simulare - 4p

- testbench 3p - 1p instantiere + 2p generarea corecta a semnalelor
- demonstratie simulare (imi aratati) - 1p

programare placa - 3p

- fisierul de constrangeri (pin planner) - 2p
- demonstratie functionare (imi aratati) - 1p