

Structura microsystemelor proiect 24 octombrie 2013

Exercițiu: proiectarea unei rețele de calcul a prefixelor cu N intrări pentru funcția sau exclusiv.

Suplimentar: implementați în FPGA această rețea pentru N=8

Scopul este să vă familiarizați din nou cu limbajul Verilog, simulatorul Model Sim și (suplimentar) Xilinx ISE învățate la laboratorul de CID în anul 2.

[http://dcae.pub.ro/wikilabs/index.php/Circuite_Integrate_Digitale_\(laborator\)](http://dcae.pub.ro/wikilabs/index.php/Circuite_Integrate_Digitale_(laborator))

Etapele rezolvării unui exercițiu de acest tip:

- se creează un „proiect” în care se scriu modulele sursă care descriu circuitul respectiv și se compilează (pentru a verifica sintaxa)
- se scrie un modul de test care apelează circuitul proiectat (prin instanțiere), se compilează și acesta. În acest modul se generează formele de undă necesare
- se simulează funcționarea modulului de test, se compară rezultatul cu cel dorit – de exemplu, prin intermediul formelor de undă

1. Exercițiu preliminar – *testbench, generare forme de undă*
implementați și simulați în Modelsim un circuit pentru funcția logică sau exclusiv. Testarea se va face exhaustiv.

2. Ce sunt rețelele de calcul al prefixelor?
<http://dcae.pub.ro/gstefan/0-BOOK.pdf> pag 135
(noi vom implementa pentru funcția sau exclusiv)

3. Implementați și verificați o rețea de calcul a prefixelor pentru funcția sau exclusiv în varianta comportamentală – *vectori, instrucțiunea always, for, proiectare parametrizată*

```
module xor_prefixes #(parameter n = 64) (input [0:n-1] in ,  
                                     output reg [0:n-1] out);
```

```
integer k;
```

```
always @(in) begin out[0] = in[0];  
for (k=1; k<n; k=k+1) out[k] = in[k] ^ out[k-1];  
end
```

```
endmodule
```

4. Implementați diferite variante combinaționale ale rețelei de prefixe pentru $N=8$ și verificați funcționarea lor corectă. Introduceți timp de propagare pentru porțile logice – *atribuiri combinaționale (assign), netlist*

5. Introduceți un registru pe intrare și pe ieșire și calculați frecvența de lucru a circuitului obținut în diferite variante. Verificați prin simulare funcționarea corectă.

6. (suplimentar) Implementați pe plăcile experimentale Nexys 2, în FPGA, rețeaua de calcul al prefixelor în varianta combinațională.

7. Descrieți în Verilog circuitul obținut prin definirea recursivă a rețelei de calcul a prefixelor

<http://dcae.pub.ro/gstefan/0-BOOK.pdf> pag 137

Simulați funcționarea acestui circuit (modulul de test).