

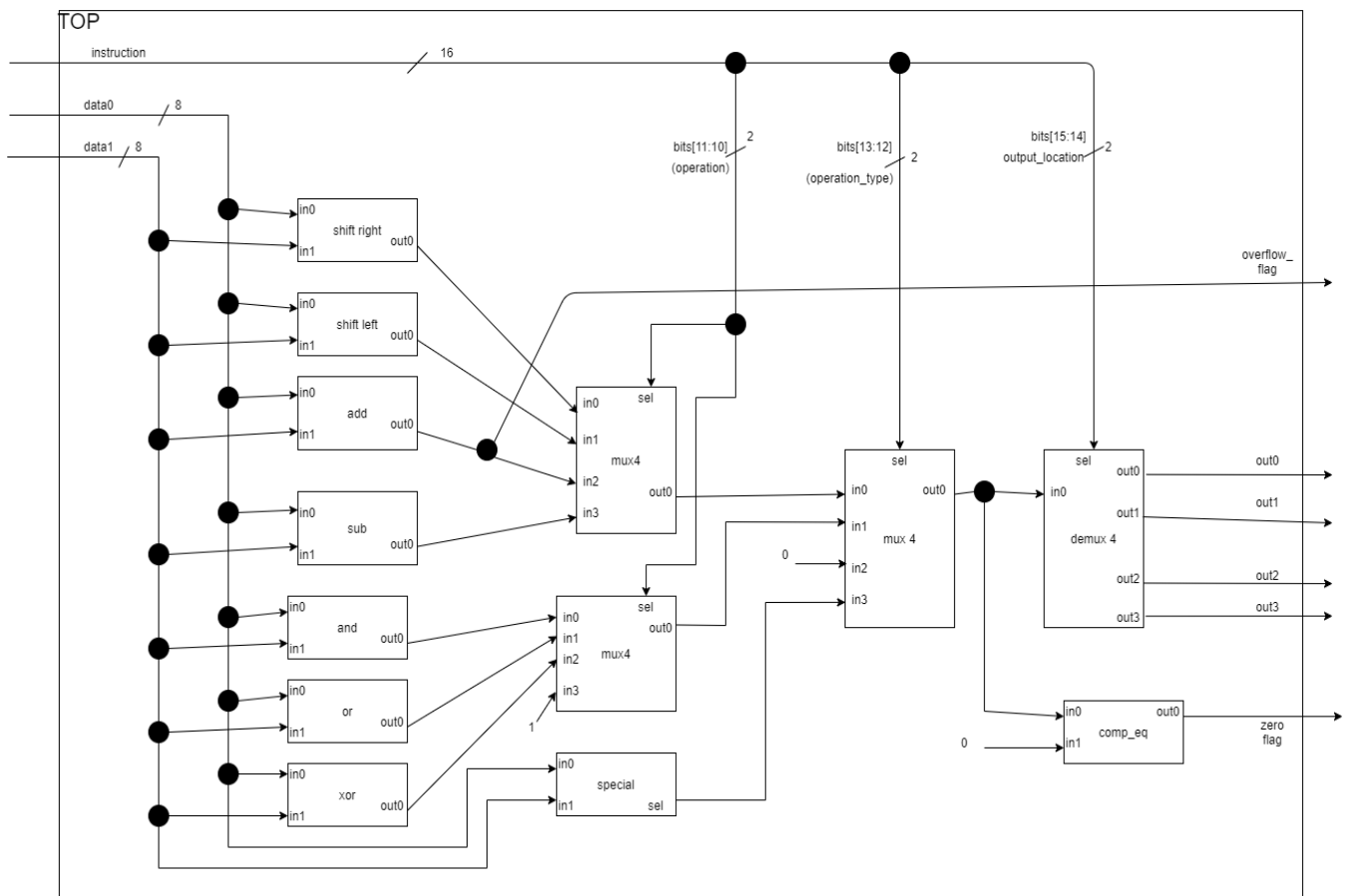
Subject:

Timp de lucru: 1.20h

Cerinta:

Implementati schema de mai jos in verilog si efectuati simulari pentru verificarea functionalitati.

Schema bloc:



Descrierea schemei + cerinte speciale:

Circuitul de mai sus este o unitate aritmetica si logica (ALU) simplificata, asemanatoare cu ceea ce se gaseste in interiorul procesoarelor (vezi AMP). Ea are rolul de a efectua propriu zis calculele intre cele 2 date de la intrare si de a scoate rezultatul (impreuna cu niste flag-uri ce semnalizeaza situatii speciale) catre una din cele 4 iesiri (de exemplu, blocuri de registre care ulterior salveaza rezultatul). Pentru a sti ce operatie se doreste, bitii din instructiune au rolul de alege categoria de operatie (bitii 13:12) si operatia specifica in cadrul fiecarei categorii (bitii 11:10).

Modulele de shiftare: shifteaza pe in0 cu in1.

Comp\_eq este un comparator de egalitate.

Modulul "special": scoate 1 daca msb si lsb ai ambelor intrari sunt egale toate intre ele, 0 in rest.

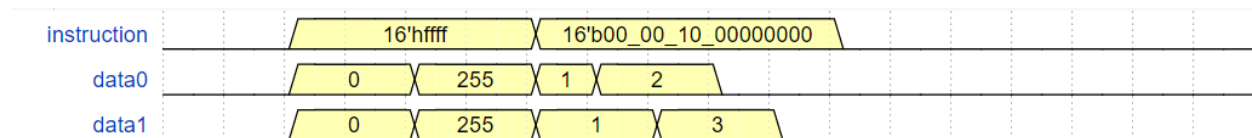
Pentru modulele de calcul se accepta si daca sunt facute module separate si daca nu.

Adaugati dimensiunile corespunzatoare firelor, acolo unde considerati ca ar trebuii.

Flag-ul de overflow ar trebuii sa fie 1 atunci cand suma nu incapa pe 8 biti.

## Pentru simulare:

part 1) Formele de unda pentru intrare trebuie corespunda cu figura de mai jos:



Spatiul dintre liniile punctate (verticale) reprezinta 5 nano secunde.

part 2) testati functionarea flag-ului de overflow si a flag-ului de 0 folosind operatia de adunare si cea de "and" pe biti.

Simularea se inchide dupa 200 de unitati de timp.

## Barem:

Total - 20p

design - 14p

- top - 5p - interfata 0.5p + instantiere 2p + fire + conexiuni 2.5p
- comparator equals- 1p
- mux4 - 2p
- demux4 - 2p

- special - 2p
- modulele de calcul - 2p

simulare - 6p

- testbench 4p - 1p instantiere + 2p generarea corecta a semnalelor (1.5 fiecare parte). Pentru partea a doua si scris comentariu la inceputul tb in care explicati cum ganditi si de ce ar trebui ceea ce ati scris sa testeze cele 2 flag-uri.
- demonstratie simulare: 2p - poza forme de unda cu toate modulele puse in simulare ca grupuri si vizibile semnalele din tb, intrari si iesiri